

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-291666

(43)Date of publication of application : 19.10.2001

(51)Int.Cl.

H01L 21/20  
H01L 29/786  
H01L 21/336  
// G09F 9/30

(21)Application number : 2000-235657

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 03.08.2000

(72)Inventor : SOTANI NAOYA

(30)Priority

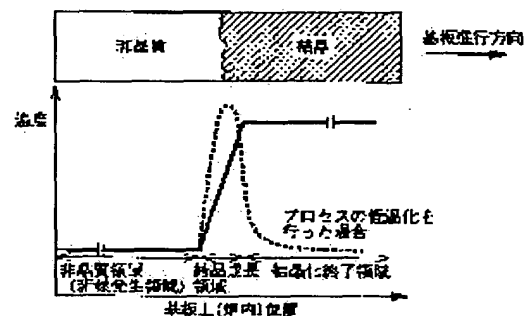
Priority number : 2000025672 Priority date : 02.02.2000 Priority country : JP

## (54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of manufacturing a semiconductor device, with which a large crystalline particle or single crystal can be formed, without reduction in yield.

SOLUTION: An amorphous film is crystallized by moving a heating region, while an amorphous part of the amorphous film is kept at a low temperature and the front end of crystal growth on the amorphous film are heated continuously at a high temperature.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-291666

(P2001-291666A)

(43) 公開日 平成13年10月19日 (2001. 10. 19)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テームコード<sup>\*</sup>(参考)H 0 1 L 21/20  
29/786  
21/336H 0 1 L 21/20  
G 0 9 F 9/30  
H 0 1 L 29/785 C 0 9 4  
3 3 8 5 F 0 5 2  
6 2 7 G 5 F 1 1 0

// G 0 9 F 9/30

3 3 8

審査請求 未請求 請求項の数17 O L (全 17 頁)

(21) 出願番号 特願2000-235657 (P2000-235657)

(22) 出願日 平成12年 8 月 3 日 (2000. 8. 3)

(31) 優先権主張番号 特願2000-25672 (P2000-25672)

(32) 優先日 平成12年 2 月 2 日 (2000. 2. 2)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通 2 丁目 5 番 5 号

(72) 発明者 曾谷 直哉

大阪府守口市京阪本通 2 丁目 5 番 5 号 三  
洋電機株式会社内

(74) 代理人 100104433

弁理士 宮園 博一

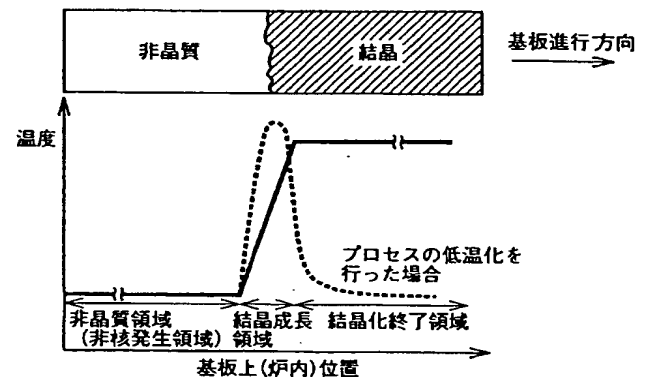
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 巨大な結晶粒または単結晶を歩留まりを低下させることなく形成することが可能な半導体装置の製造方法を提供する。

【解決手段】 非晶質膜の非晶質部を低温に保持するとともに、非晶質膜の結晶成長の先端部を高温に連続加熱しながら、加熱領域を移動させることによって、非晶質膜を結晶化する。



## 【特許請求の範囲】

【請求項 1】 基板上に非晶質膜を形成する工程と、前記非晶質膜の非晶質部を低温に保持するとともに、前記非晶質膜の結晶成長の先端部を高温に連続加熱しながら、前記加熱領域を移動させることによって、前記非晶質膜を結晶化する工程とを備えた、半導体装置の製造方法。

【請求項 2】 前記非晶質膜を結晶化する工程は、炉内に急激な熱分布をもたせた温度勾配領域を設ける工程と、前記非晶質膜を前記温度勾配領域の低温側から高温側へ移動させることによって、前記非晶質膜の結晶成長の先端部を前記温度勾配領域により連続加熱しながら前記加熱領域を移動させる工程とを含む、請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記低温は、前記非晶質膜に新たな結晶核の発生が起こらない温度および前記非晶質膜に新たな結晶核の発生が非常に起こりにくい温度を含み、前記高温は、結晶成長による非晶質から結晶質への変態が十分に早く起こる温度を含む、請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 4】 前記非晶質膜を結晶化する工程は、低温雰囲気中で電磁波を前記結晶成長領域に連続照射しながら、前記照射領域を移動する工程を含む、請求項 1 に記載の半導体装置の製造方法。

【請求項 5】 前記電磁波は、連続発振型レーザー光、ランプ光、高周波、および、マイクロ波からなるグループより選択された 1 つを含む、請求項 4 に記載の半導体装置の製造方法。

【請求項 6】 前記非晶質膜を結晶化する工程は、前記基板上に吸収膜を形成する工程と、前記吸収膜に前記電磁波を照射することにより前記吸収膜を発熱させ、その熱を利用して前記非晶質膜を結晶化する工程とを含む、請求項 4 または 5 に記載の半導体装置の製造方法。

【請求項 7】 前記吸収膜は、加熱の最高温度近傍で融解するまたは沸点をもつ材料を含む、請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 前記非晶質膜を結晶化する工程は、前記結晶化前に、前記非晶質膜の結晶成長領域の少なくとも 1 個所に細く絞った領域を形成する工程と、前記細く絞った領域側から前記加熱領域を移動させることによって、前記非晶質膜を結晶化する工程とを含む、請求項 1 ～ 7 のいずれかに記載の半導体装置の製造方法。

【請求項 9】 前記非晶質膜を結晶化する工程は、前記結晶化前に、前記非晶質膜上に、結晶成長速度を上昇させるための金属膜を形成する工程を含む、請求項 1 ～ 8 のいずれかに記載の半導体装置の製造方法。

【請求項 10】 基板上に非晶質膜を形成する工程と、

前記非晶質膜の結晶成長領域の少なくとも 1 個所に細く絞った領域を形成する工程と、前記非晶質膜の結晶成長の先端部を高温に加熱しながら、前記細く絞った領域側から前記加熱領域を移動させることによって、前記非晶質膜を結晶化する工程とを備えた、半導体装置の製造方法。

【請求項 11】 前記非晶質膜の結晶化後に、前記吸収膜を画素部のブラックマトリックス、回路部の遮光膜および基板バイアスプレートのいずれかとして用いる、請求項 6 に記載の半導体装置の製造方法。

【請求項 12】 前記吸収膜を所定のパターンに島状化するとともに、前記非晶質膜の島状化を行わない状態で、前記非晶質膜の結晶化を行う、請求項 6 または 11 に記載の半導体装置の製造方法。

【請求項 13】 前記非晶質膜の結晶化に先立って、前記吸収膜および前記非晶質膜のうち、少なくとも前記吸収膜を所定のパターンに島状化するとともに、前記吸収膜からの熱により前記非晶質膜を結晶化した場合に、結晶化領域の端部に結晶化されない領域を含むように、前記非晶質膜を所定の大きさと形成する、請求項 6、11 および 12 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 14】 前記非晶質膜の結晶化に先立って、前記吸収膜および前記非晶質膜の少なくとも一方を所定のパターンに島状化するとともに、前記パターンの屈曲点の少なくとも一部をなめらかにする工程をさらに備える、請求項 6 および 11 ～ 13 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 15】 前記非晶質膜の結晶化に先立って、前記非晶質膜上にゲート絶縁膜となる絶縁層およびゲート電極となる導電層を形成する工程をさらに備える、請求項 6 および 11 ～ 14 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 16】 前記非晶質膜の結晶化に先立って、前記非晶質膜に不純物を導入することによって、ソース・ドレイン領域を形成し、前記非晶質膜の結晶化と同時に、前記ソース・ドレイン領域の活性化を行う、請求項 6 および 11 ～ 15 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 17】 前記吸収膜を所定のパターンに島状化するとともに、前記吸収膜の端部を先細り形状にした状態で、前記非晶質膜の結晶化を行う、請求項 6 および 11 ～ 16 のいずれか 1 項に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に、薄膜トランジスタなどの半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、液晶表示装置の画素駆動用トランジスタとして、多結晶シリコン膜を能動層として用いた薄膜トランジスタ（以下、多結晶シリコンTFT）が採用されている。このような液晶表示装置では、低コスト化、高性能化および軽量コンパクト化のために、多結晶シリコンTFTの高性能化が要求されている。多結晶シリコンTFTの高性能化には、基板上的多結晶シリコン膜をできるだけ単結晶に近づける必要がある。

【0003】そして、従来では、非晶質シリコン膜を電気炉で加熱することによって、固相成長法により比較的大きな結晶粒径の多結晶シリコン膜を得る方法が実用化されている。固相成長法により、大きな結晶粒径の多結晶シリコン膜を得るためには、最初の非晶質シリコン膜中に結晶核及びエンブリオ（結晶核のもと）等が少なく、核発生が起こりにくいこと、および、結晶が成長できる温度で熱処理を行うことなどが必要である。

【0004】従来の固層成長法では、結晶核及びエンブリオ等が少なく非晶質度の高い非晶質膜を形成するために、最初の非晶質シリコン膜を $\text{Si}_2\text{H}_6$ を用いて成膜している。また、固相成長の熱処理温度は600℃前後で行われ、さらに、その後、結晶欠陥を除去するため、1000℃、30分程度の熱処理が行われる。固層成長法は、このように高温で長時間の熱処理が行われるため、高温プロセスと呼ばれており、耐熱性の高い基板（たとえば、石英基板）が用いられる。

【0005】このような従来の固層成長法により得られる多結晶シリコン膜の結晶粒径は、0.5μm程度であり、それより大きい結晶を形成するのは困難であった。

【0006】そこで、近年、エキシマレーザーアニール（ELA）法を用いて、より大きな結晶粒径を得る技術が開発されている。このELA法は、基板への熱影響を回避するために、数100nsecのパルス発振により短時間で結晶化を行う方法であり、安価なガラス基板を用いる低温プロセスでの結晶化方法の主流の技術である。また、ELA法では、200nm前後の短波長のレーザー光を用いるため、非晶質シリコンや多結晶シリコンへの吸収率が高い。これにより、短時間でシリコン膜を高温に加熱することができる。

【0007】このようなELA法の一例として、特開平6-140323号公報に開示されるようなエキシマレーザー光の干渉を用いたものが提案されている。この方法では、エキシマレーザー照射源と被照射膜との間に2本のスリットを設け、そのスリットを抜けた光を干渉させることにより、被照射膜上での照射強度に強弱を発生させる。この照射強度の強弱は、加熱される被照射膜の温度に反映されるので、高温領域からの結晶成長が優先されて起こる。これにより、大きな結晶粒の多結晶シリコン膜が得られる。

【0008】

【発明が解決しようとする課題】しかし、上記した従来

のエキシマレーザーアニール（ELA）法では、加熱する半導体膜の膜厚や膜質により吸収率が大きく影響されるとともに、パルス発振の不安定さに起因してビーム強度がばらつくので、加熱を均一に行うことが困難であった。このため、素子特性がばらついて歩留まりが低下するという問題点があった。

【0009】また、従来のELA法では、装置コストや稼働コストが高いという不都合もあった。さらに、従来のELA法では、パルス発振であるため、レーザー光線の高速走査を行うことが困難である。このため、スループット（生産性）が低いという問題点もあった。

【0010】この発明は、上記のような課題を解決するためになされたものであり、この発明の一つの目的は、巨大な結晶粒または単結晶を歩留まりを低下させることなく形成することが可能な半導体装置の製造方法を提供することである。

【0011】この発明のもう一つの目的は、巨大な結晶粒または単結晶を低コストおよび高スループットで形成することが可能な半導体装置の製造方法を提供することである。

【0012】

【課題を解決するための手段】請求項1による半導体装置の製造方法は、基板上に非晶質膜を形成する工程と、非晶質膜の非晶質部を低温に保持するとともに、非晶質膜の結晶成長の先端部を高温に連続加熱しながら加熱領域を移動させることによって、非晶質膜を結晶化する工程とを備えている。

【0013】請求項1では、上記のように、非晶質膜の非晶質部を低温に保持するとともに、非晶質膜の結晶成長の先端部を高温に連続加熱しながら加熱領域を移動させることによって、上記低温により非晶質部の核発生を抑制することができるとともに、上記高温の連続加熱により結晶先端部での結晶成長を促進することができる。これにより、巨大な結晶粒または単結晶を歩留まりを低下させることなく形成することができる。また、連続的に加熱するので、加熱強度がばらつくことなく、均一に加熱することができる。それにより、歩留まりが低下することもない。

【0014】請求項2による半導体装置の製造方法は、請求項1の構成において、非晶質膜を結晶化する工程は、炉内に急激な熱分布をもたせた温度勾配領域を設ける工程と、非晶質膜を温度勾配領域の低温側から高温側へ移動させることによって、非晶質膜の結晶成長の先端部を温度勾配領域により加熱しながらその加熱領域を移動させる工程とを含む。請求項2では、このように構成することによって、低温側の領域により非晶質部の核発生を抑制することができるとともに、温度勾配領域による連続加熱により結晶先端部での結晶成長を均一に促進することができる。

【0015】請求項3による半導体装置の製造方法は、

請求項 1 または 2 の構成において、低温は、非晶質膜に新たな結晶核の発生が起らない温度および非晶質膜に新たな結晶核の発生が非常に起こりにくい温度を含み、高温は、結晶成長による非晶質から結晶質への変態が十分に早く起こる温度を含む。請求項 3 では、このように温度を設定することにより、巨大な結晶粒または単結晶を容易に形成することができる。

【0016】請求項 4 による半導体装置の製造方法は、請求項 1 の構成において、非晶質膜を結晶化する工程は、低温雰囲気中で電磁波を結晶成長領域に連続照射しながら、照射領域を移動する工程を含む。請求項 4 では、このように構成することにより、電磁波の照射領域（結晶成長領域）のみを高温にしなが

ら他の部分（非晶質部および結晶化終了部）は低温に保持することができる。これにより、非晶質部の核発生を抑制することができる。また、プロセスの低温化が可能となるので、安価なガラス基板を用いることができる。さらに、電磁波を連続的に照射するので、加熱強度がばらつくことなく均一に加熱することができる。その結果、歩留まりが低下することもない。

【0017】請求項 5 による半導体装置の製造方法は、請求項 4 の構成において、電磁波は、ランプ光、高周波、マイクロ波および連続発振型レーザー光からなるグループより選択された 1 つを含む。請求項 5 では、このように構成することにより、たとえば、連続発振型レーザーを用いれば、ELA 法で用いるパルスレーザーと異なり、レーザー光線の高速走査を行うことができるので、大きな面積を均一で、かつ、短時間で処理することができる。これにより、生産性（スループット）を向上させることができる。また、連続発振型レーザーは、パルスレーザーに比べて稼働コストが安価であるので、製造コストを低減することができる。さらに、連続発振型レーザーは、ELA 法で用いるパルスレーザーのようにビーム強度がバラツクことがないので、加熱を均一に行うことができる。

【0018】請求項 6 による半導体装置の製造方法は、請求項 4 または 5 の構成において、非晶質膜を結晶化する工程は、基板上に吸収膜を形成する工程と、吸収膜に電磁波を照射することにより吸収膜を発熱させ、その熱を利用して非晶質膜を結晶化する工程とを含む。請求項 6 では、このように吸収膜を用いることにより、電磁波の照射によって容易に非晶質膜を結晶化することができる。

【0019】請求項 7 による半導体装置の製造方法は、請求項 6 の構成において、吸収膜は、加熱の最高温度近傍で融解するまたは沸点をもつ材料を含む。なお、融解するとは、融点で融解する場合のみならず、状態図において、固相線との交点で融解が始まって液相線との交点で融解が終了するような場合も含む。請求項 7 では、こ

のように構成することにより、電磁波のエネルギーが強すぎた場合に、吸収膜が融解または蒸発するため、融解による潜熱の吸収および融解・凝集などによる電磁波吸収量の低下により、過加熱を防止することができる。これにより、結晶の均一性を向上させることができる。

【0020】請求項 8 による半導体装置の製造方法は、請求項 1～7 のいずれかの構成において、非晶質膜を結晶化する工程は、結晶化前に、非晶質膜の結晶成長領域の少なくとも 1 個所に細く絞った領域を形成する工程と、その細く絞った領域側から加熱領域を移動させることによって、非晶質膜を結晶化する工程とを含む。請求項 8 では、このような細く絞った領域を設けることにより、優先結晶方位を持った唯一の結晶がその細く絞った領域を通過する。これにより、容易に単結晶領域を形成することができる。

【0021】請求項 9 による半導体装置の製造方法は、請求項 1～8 のいずれかの構成において、非晶質膜を結晶化する工程は、結晶化前に、非晶質膜上に、結晶成長速度を上昇させるための金属膜を形成する工程を含む。請求項 9 では、上記のように、結晶成長速度を上昇させるための金属膜を形成することにより、たとえば、結晶成長速度が比較的遅い電気炉を用いる場合にも、結晶成長速度を上昇させることができ、その結果、スループット（生産性）を向上させることができる。

【0022】請求項 10 による半導体装置の製造方法は、基板上に非晶質膜を形成する工程と、その非晶質膜の結晶成長領域の少なくとも 1 個所に細く絞った領域を形成する工程と、非晶質膜の結晶成長の先端部を高温に加熱しながら、上記細く絞った領域側から加熱領域を移動させることによって、非晶質膜を結晶化する工程とを備えている。請求項 10 では、このような細く絞った領域を設けることにより、優先結晶方位を持った唯一の結晶がその細く絞った領域を通過する。これにより、容易に単結晶領域を形成することができる。

【0023】請求項 11 による半導体装置の製造方法は、請求項 6 の構成において、非晶質膜の結晶化後に、吸収膜を画素部のブラックマトリックス、回路部の遮光膜および基板バイアスプレートのいずれかとして用いる。請求項 11 では、このように吸収膜を画素部のブラックマトリックスなどとして流用することによって、吸収膜を除去する工程および画素部のブラックマトリックスなどを新たに形成する工程を省略することができ、その結果、製造プロセスを簡略化することができる。

【0024】請求項 12 による半導体装置の製造方法は、請求項 6 または 11 の構成において、吸収膜を所定のパターンに島状化するとともに、非晶質膜の島状化を行わない状態で、非晶質膜の結晶化を行う。請求項 12 では、このように吸収膜を所定のパターンに島状化するようにすれば、非晶質膜は吸収膜に対応する部分のみ加熱されて結晶化されるので、非晶質膜を結晶化のための

所定のパターン形状にパターンニングする必要がない。それにより、非晶質膜を結晶化のための所定のパターン形状にパターンニングする工程を省略することができる。その結果、製造プロセスを簡略化することができる。

【0025】請求項13による半導体装置の製造方法では、請求項6、11および12のいずれかの構成において、非晶質膜の結晶化に先立って、吸収膜および非晶質膜のうち、少なくとも吸収膜を所定のパターンに島状化するとともに、吸収膜からの熱により非晶質膜を結晶化した場合に、結晶化領域の端部に結晶化されない領域を含むように、非晶質膜を所定の大きさに形成する。請求項13では、このように構成することによって、所定のパターンに島状化された吸収膜からの熱によって非晶質膜を結晶化する際に、吸収膜に対応する非晶質膜の部分の端部が低温になるので、その端部での新たな結晶核の発生を抑制することができる。それにより、単結晶化を効果的に行うことができる。

【0026】請求項14による半導体装置の製造方法では、請求項6および11～13のいずれかの構成において、非晶質膜の結晶化に先立って、吸収膜および非晶質膜の少なくとも一方を所定のパターンに島状化するとともに、そのパターンの屈曲点の少なくとも一部をなめらかにする工程をさらに備える。請求項14では、このようにパターンの屈曲点の少なくとも一部をなめらかにすることによって、屈曲点での新たな結晶核の発生を抑制することができる。その結果、単結晶化をより効果的に行うことができる。

【0027】請求項15による半導体装置の製造方法では、請求項6および11～14のいずれかの構成において、非晶質膜の結晶化に先立って、非晶質膜上にゲート絶縁膜となる絶縁層およびゲート電極となる導電層を形成する工程をさらに備える。請求項15では、このように構成することによって、非晶質膜がゲート絶縁膜となる絶縁層に接触した状態で非晶質膜の結晶化が行われるので、ゲート絶縁膜と結晶化された半導体膜との界面の整合性を良好にすることができる。また、結晶化時に熱によって、ゲート絶縁膜の緻密化を図ることができる。

【0028】請求項16による半導体装置の製造方法では、請求項6および11～15のいずれかの構成において、非晶質膜の結晶化に先立って、非晶質膜に不純物を導入することによって、ソース・ドレイン領域を形成し、非晶質膜の結晶化と同時に、ソース・ドレイン領域の活性化を行う。請求項16では、このように非晶質膜の結晶化と同時に、ソース・ドレイン領域の活性化を行うことによって、製造プロセスを簡略化することができる。

$$d(\Delta G)/dr = 8\pi r\gamma + 4r^2\Delta G_s \leq 0$$

この式(2)が、結晶核が安定して成長する条件となる。 $\Delta G_s$ は、過冷度 $\Delta T$ に対し、以下の式(3)のようになる。なお、過冷度 $\Delta T$ は、凝固する温度が融点に

\*【0029】請求項17による半導体装置の製造方法では、請求項6および11～16のいずれかの構成において、吸収膜を所定のパターンに島状化するとともに、吸収膜の端部を先細り形状にした状態で、非晶質膜の結晶化を行う。請求項17では、このように、吸収膜の端部を先細り形状に形成することによって、吸収膜の端部での段差が軽減される。そして、その吸収膜の上方に非晶質膜を形成すれば、吸収膜の端部に対応する非晶質膜の部分の段差も軽減される。それにより、加熱時に非晶質膜に生じる応力が緩和され、その結果、応力に起因する結晶核の発生を抑制することができる。また、吸収膜の端部を先細り形状に形成することによって、吸収膜の端部の厚みが小さくなるので、吸収膜の端部での光吸収量が低下する。これにより、吸収膜の端部の温度が低下するので、吸収膜の端部に対応する非晶質膜の部分での核発生確率を減少させることができる。さらに、吸収膜の端部を先細り形状に形成することによって、吸収膜の端部での光吸収量が低下して吸収膜の端部の温度が低下するとともに、吸収膜の端部の断面積が減少する。これにより、吸収膜の端部が非晶質膜に与える熱応力を低減することができる。その結果、吸収膜の端部に対応する非晶質膜の部分での応力に起因する核発生を抑制することができる。

#### 【0030】

【発明の実施の形態】本発明を具体化した実施の形態を説明する前に、まず本発明の概念について以下に説明する。

【0031】加熱による非晶質の結晶化は、一般に次の3つの過程からなる。まず、非晶質内の原子の移動により、臨界核半径以上の半径をもつ結晶核が発生する。次に、発生した結晶核が成長する。この後、別の結晶とぶつかるまで結晶成長が進み、結晶同士の食い合い(併合・養食)が起こらない限り、この段階で、結晶化が終了する。

【0032】従って、発生した結晶核数と結晶粒の数とはほぼ一致する。すなわち、大きな結晶粒を得るためには、結晶核の発生数をできるだけ抑えながら、結晶成長を進める必要がある。

【0033】融液中に結晶核が発生する過程を考察すると、半径 $r$ の結晶核が発生したときの系の自由エネルギー変化 $\Delta G$ は、以下の式(1)により表される。

$$\Delta G = 4\pi r^2\gamma + 4/3\pi r^3\Delta G_s \quad \dots\dots (1)$$

ここで、 $\gamma$ は界面エネルギー、 $\Delta G_s$ は凝固による自由エネルギー変化である。式(1)を $r$ で微分すると、以下の式(2)になる。

#### 【0034】

対してどの程度下がったかを示すものである。

#### 【0035】

$$\Delta G_s = \Delta H - \Delta S T \approx -\Delta S \Delta T \quad \dots\dots (3)$$

ここで、 $\Delta H$ は、凝固によるエンタルピー変化、 $\Delta S$ は、凝固によるエントロピー変化である。

【0036】上記式(3)を参照して、 $\Delta G_s$ の絶対値は、過冷度 $\Delta T$ に比例して大きくなる。従って、一般的には、凝固を利用して単結晶を作製する場合には、結晶成長の前面の融液側の温度をできるだけ高く保つことにより、過冷度 $\Delta T$ を小さくして、 $|\Delta G_s|$ を小さくする。これにより、融液側での結晶核の発生を抑えることができる。

【0037】ところが、非晶質シリコンから多結晶シリコンの結晶化過程においては、非晶質シリコンは過冷却液体あるいは非常に歪密度の高い結晶と考えることができるので、 $\Delta T$ は非常に大きいと考えられる。従って、上記のような過冷度 $\Delta T$ を小さくする方法によって、結晶核の発生を抑制することは困難である。

【0038】図1は、結晶核発生数 $n$ および結晶成長速度 $v$ と、過冷度 $\Delta T$ との一般的な関係を示した相関図である。図1を参照して、 $\Delta T$ が大きくなるに従い、一度大きくなった核発生数 $n$ が、 $\Delta T$ の増加とともに再び減少していることが分かる。これは、 $|\Delta G_s|$ の増加に伴って、式(2)を満足する最小の $r$ が小さくなり、核発生数 $n$ が増加する。さらに、温度が低下すると、原子の運動エネルギーの減少による拡散速度の低下の影響が大きくなり、再び核発生数 $n$ が低下していることを示している。

【0039】そこで、本発明では、非晶質シリコンからの単結晶膜作製において、非晶質部の温度を十分に低く保つことによって、原子の拡散速度を小さくし、非晶質部での結晶核の発生を抑える。それと同時に、結晶成長部のみの温度を急激に高くすることにより結晶成長部のみの運動エネルギーをある程度大きくする。これにより、結晶成長速度を速めることによって、新たな核が発生する前に結晶成長を終了させる。

【0040】図2は、本発明の概念を説明するための概略図である。本発明では、図2に示すように、基板の一方から結晶を成長させ、結晶成長の先端部を高温にさらし、非晶質領域は低温に保つ。これにより、結晶先端部での結晶成長を促進し、非晶質領域での核発生を抑制することができる。なお、図2に示す実線は後述する第1および第2実施形態における非晶質領域および結晶領域の温度状態を示しており、点線は、後述する第3～第7実施形態の低温プロセスにおける非晶質領域および結晶領域の温度状態を示している。

【0041】以下、本発明を具現化した実施形態について説明する。

【0042】(第1実施形態)図3は、本発明の第1実施形態による半導体装置の製造方法を説明するための概略図である。図4は、第1実施形態の製造方法により作製される結晶の状態を示した模式図である。図3および図4を参照して、以下に第1実施形態について説明す

る。

【0043】この第1実施形態では、たとえば石英基板1上に、 $Si_3H_8$ を用いた減圧CVD法により、450℃で非晶質シリコン膜を堆積した後、図3に示すような電気炉100を用いた方法により、結晶化を行う。

【0044】電気炉100内の雰囲気は $N_2$ とし、低温側の温度は約400℃、高温側の温度は約1050℃とする。ここで、結晶成長を促す高温側の温度は、高ければ高いほど結晶成長速度が増加する。しかし、高温側の温度が、 $Si$ の融点(1414℃)より高くなると熔融する。この場合に、特に $Si$ /基板間の界面エネルギー(界面張力)が大きい場合には、膜荒れや球状凝集などの悪影響が生じる。従って、結晶促進のための高温側の温度としては、900℃程度から1414℃までの範囲が適している。この点を考慮して、第1実施形態では、高温側の温度を約1050℃に設定している。

【0045】なお、上記の温度範囲(900℃～1414℃)は、純度の高い非晶質シリコン膜を結晶化する場合のものであるので、不純物の添加や触媒の付与を行った場合には、この温度範囲は低温化される場合もある。

【0046】また、電気炉100内の低温側と高温側との境界領域に位置する温度勾配領域(結晶成長領域)2には、断熱材3aおよび3bが設置されている。

【0047】ここで、約1050℃における結晶成長速度は、約 $1\mu m/sec$ であるので、これとほぼ等しい速度で石英基板1を引き抜いていけばよい。しかし、この速度は、1時間に3.6mmと非常にゆっくりとした速度であるので、実用化には向かない。

【0048】そこで、この第1実施形態では、非晶質シリコン膜上に金属膜を蒸着することによって、その金属膜の触媒効果により結晶成長速度を速くする。具体的には、まず、 $Si_3H_8$ を用いた減圧CVD法により、450℃で、50nmの膜厚を有する非結晶シリコン膜を形成する。その非結晶シリコン膜上に、スパッタ法により1nmの膜厚を有する $Ni$ 膜(金属膜)を成膜する。 $Ni$ 膜を用いることにより、 $Si$ の結晶成長速度は50～100倍程度速くなる。そして、図3に示した電気炉100の左側から基板1を3mm/minの速度で挿入し、右側へ引き抜くことによって、結晶化を行う。

【0049】このように、結晶化の方向を一方とすることにより、図4に示すように、結晶化の始まる位置では、ランダムな方向を持った微結晶が多数発生する。そして、結晶化が進むに伴って、その微結晶の中で優先結晶方位を持ったものがより速く成長し、その他の微結晶の成長を阻害する。優先方位結晶はさらに成長を続け、やがて優先方位結晶同士がぶつかることにより、図4に示すように、柱状に結晶が成長する。

【0050】 $Si$ の場合、優先結晶方位は〈111〉であるが、薄膜の結晶成長では基板との界面エネルギーを小さくするため、〈111〉が基板に平行になる。従っ



て、 $\{111\}$ に含まれる軸のうち成長速度の速い $\langle 110 \rangle$ に柱状晶が成長する。そのため、個々の柱状晶の界面はわずかな結晶方位差内にとどまり、亜粒界または小傾角粒界になり、粒界の電氣的ポテンシャルは低いものになる。これらの方位関係は、基板の表面状態、非晶質シリコンの状態、非晶質シリコン上への膜形成の有無などにより影響を受ける場合がある。

【0051】しかし、いずれにしても、この第1実施形態の方法によれば、図4に示すように、結晶面と結晶方位と結晶粒界の方向とがほぼ揃った柱状晶を得ることができる。そして、たとえば、チャンネル方向が結晶粒界と平行になるようにTFTを作製することにより、高性能かつ特性のばらつきの少ないTFTを得ることができる。

【0052】また、この第1実施形態では、上記のように、非晶質シリコン膜を温度勾配領域2の低温側から高温側へ移動させることによって、低温側の領域により非晶質部の核発生を抑制することができるとともに、温度勾配領域による連続加熱により結晶先端部での結晶成長を均一に促進することができる。これにより、巨大な結晶粒を歩留まりを低下させることなく形成することができる。

【0053】また、温度勾配領域2により結晶成長部を連続的に加熱するので、従来のパルス発振のELA法のように加熱強度がばらつくことがなく、均一に加熱することができる。その結果、歩留まりが低下することもない。

【0054】(第2実施形態)図5は、本発明の第2実施形態による半導体装置の製造方法で用いる非晶質シリコン膜のネックパターンを示した概略図である。図6は、本発明の第2実施形態によるネック部の開き角の範囲を説明するための概略図である。図7は、本発明の第2実施形態によるネック部に結晶を作製した場合の模式図である。図8は、本発明の第2実施形態によるネック部に複数の結晶が通過した場合の模式図である。図5～図8を参照して、以下に第2実施形態について説明する。

【0055】TFTアレイを単結晶領域内で形成するためには、上記した第1実施形態よりさらに巨大な結晶粒を任意の位置に作製することが必要である。そこで、この第2実施形態では、石英基板上に非結晶シリコン膜を成膜した後、石英基板の右側部分に、唯一の結晶が通過できるように細くしたネック部20(図5参照)を設ける。なお、TFTアレイは、駆動回路部などの回路部を含んでいてもよい。

【0056】唯一の結晶を通過させるためには、ネック部20の幅は、ネック部20の右側の部分に発生する柱状晶の幅よりも細くする必要がある。また、ネック部20の開き角度は、優先結晶成長方位の開き角を考慮して決定することが必要である。第1実施形態に示したよう

な、一般的な結晶方位関係であれば、 $\langle 111 \rangle$ 内の優先成長方位 $\langle 110 \rangle$ は、 $[1-10]$ 、 $[10-1]$ 、 $[0-11]$ の3つ存在し、それぞれ60度の角をなしている。従って、ネック部20の開き角度は120度以下が望ましい。なお、 $\langle 110 \rangle$ のほか、 $\langle 211 \rangle$ も優先成長方位となることが多い。この場合、優先成長方位 $\langle 211 \rangle$ は、 $[2-1-1]$ 、 $[1-21]$ 、 $[112]$ の3つ存在し、それぞれ60度の角をなしている。従って、この場合も、ネック部20の開き角度は120度以下が望ましい。

【0057】ネック部20の開き角度が120度より大きい場合には、図6に示すように、主成長方向 $[1-10]$ から成長した2次アーム $[10-1]$ が成長する前に、ランダム核発生領域21において、ランダム核生成が起こる。その中から柱状晶22が成長して単結晶の成長を阻害する。優先成長方位 $\langle 110 \rangle$ は、パターンに対して多少の方位差を持つため、開き角は120度以下にすることが必要である。なお、絞り側(ネック部20の右側)の角度については任意でよい。開き角は、結晶化時の加熱方法・温度・時間などにより影響されるので、特に優先成長・配向方位が異なった場合には変更することが必要である。

【0058】この第2実施形態では、図5に示したようなパターンを用いて、上記した第1実施形態と同様の方法で結晶化する。具体的には、まず、石英基板上に、 $\text{Si}_2\text{H}_6$ を用いた減圧CVD法により、450℃で、50nmの膜厚を有する非結晶シリコン膜を作製する。その非結晶シリコン膜上に、スパッタ法により1nmの膜厚を有するNi膜(金属膜)を成膜する。その後、非晶質シリコン膜および金属膜をパターニングすることによって、図5に示すようなネック部20を有するパターンを形成する。そして、図3に示した電気炉100の左側から基板を3mm/minの速度で挿入し、右側へ引き抜くことによって、結晶化を行う。

【0059】これにより、図7に示すように、最初に微結晶および柱状晶が種結晶作製領域で形成され、さらにネック部20において唯一の結晶に選別される。ネック部20を通過し成長を続ける結晶は、単結晶領域において、2次アームを成長させながら横方向にも広がる。これにより、大面積の単結晶を作製することができる。

【0060】なお、図8に示すように、ネック部20を複数の結晶が通過した場合でも、2つの結晶40aおよび40bの結晶粒界41の方向および結晶方位はほぼ揃っている。このため、ネック部20を複数の結晶が通過した場合にも、TFTの特性に与える影響は、ランダムな結晶方位を持つ多結晶シリコンに比較して少ない。

【0061】また、この第2実施形態においても、第1実施形態と同様、非晶質シリコン膜を温度勾配領域2の低温側から高温側へ移動させることによって、低温側の領域により非晶質部の核発生を抑制することができると

ともに、温度勾配領域による連続加熱により結晶先端部での結晶成長を均一に促進することができる。これにより、単結晶または巨大な柱状晶を歩留まりを低下させることなく形成することができる。また、温度勾配領域2により結晶成長部を連続的に加熱するので、従来のパルス発振のELA法のように加熱強度がばらつくことがなく、均一に加熱することができる。その結果、歩留まりが低下することもない。

【0062】(第3実施形態)図9は、t秒間のプロセスによりガラス基板の表面温度を初期温度300℃から1400℃に上昇させた時のガラス基板の深さ方向の温度分布を各プロセス時間tについて示した相関図であり、図10は、本発明の第3実施形態による半導体装置の製造方法を説明するための概略図である。また、図11は、本発明の第3実施形態で用いるNi-Zn系合金の状態図である。この第3実施形態は、本発明をガラス基板を用いた低温プロセスへ適用した例である。以下、図9～図11を参照して、第3実施形態について説明する。

【0063】まず、ガラス基板に適応するためには、ガラス基板への熱の影響を考慮して、より速い結晶化速度が必要になる。例えば、従来のガラス基板を用いるELA法による結晶化では、約300nsecの間に約0.01μmの結晶粒が成長する。このことから、300nsec

$$\theta(t, x) = k \sum_{m=0}^{\infty} \frac{-16 \cdot l^2}{\alpha(2m+1)^3 \pi^3} \left\{ 1 - \exp \left[ \frac{-\alpha(2m+1)^2}{4l^2} \pi^2 t \right] \right\} \sin \left( \frac{2m+1}{2l} \pi x \right) + T_{in} + kt \dots (6)$$

(θ: 温度, t: プロセス時間, x: 深さ, l: ガラスの厚さ,  $T_{in}$ : 初期温度, k: 表面の昇温率,  $\alpha = \kappa / \rho c$  [κ: 熱伝導係数, ρ: 密度, c: 比熱], m=0, 1, 2, 3, ...)

ガラスの厚み  $l = 1.1 \text{ mm}$ ,  $\alpha = 0.56 \text{ mm}^2/\text{sec}$ , 初期温度  $T_{in} = 300^\circ\text{C}$  として、式(6)を解くと、図9に示すような温度分布が得られる。ガラス基板が反ったり、割れたりしない温度分布の目安として、例えば基板の下半部が至点(例えば650℃)とする。この場合、図9において、深さ0.55mmと温度650℃との交点を見ると、約0.5秒のプロセス時間となる。

【0068】したがって、基板の下半分を至点とするには、0.5秒程度以下のプロセス時間で昇温プロセスを終える必要がある。基板走査速度が1.5cm/secである場合、0.5秒程度以下で昇温プロセスを終えるためには、加熱帯の幅は7.5mm以下であることが必要である。

【0069】以上の点を考慮して、ガラス基板を用いた低温プロセスへの本発明の応用例である第3実施形態について以下具体的に説明する。たとえば、corning #1737基板(ガラス基板)上に不純物バッファ層を設けた後、プラズマCVD法によって非晶質シリコン膜を5

\*secで、結晶核から両方向に0.005μm以上成長すると考えると、結晶の成長速度は、1.7cm/secである。また、このとき、ELA法での加熱温度は、Siの融点1414℃直下の温度であると考えられる。

【0064】従って、結晶成長部の温度を精度よく、かつ、急激に1400℃程度に加熱できれば、1.5cm/sec程度で基板(又は加熱領域)を走査することが可能である。なお、走査速度(1.5cm/sec)

は、成長した結晶が切れないように、結晶成長速度

(1.7cm/sec)より少し遅めに設定している。加熱時間としては、加熱中に結晶核が発生しない条件すなわち潜伏期間内である必要がある。

【0065】ガラスへの熱影響を考えるため、基板表面のSi膜層または吸収膜層がYAGレーザーや高周波により、次式(4)に従って線形的に温度上昇をすると仮定する。

$$T = T_{in} + kt \dots (4)$$

そして、式(4)の仮定のもと、次式(5)の熱伝導方程式を解く。

【0066】

$$\partial \theta / \partial t = \alpha \times \partial^2 \theta / \partial x^2 \dots (5)$$

これにより、次式(6)が得られる。

【0067】

【数1】

5nmの厚みで成膜する。そして、450℃、1時間程度の脱水素処理を行う。そして、非晶質シリコン膜55を、第2実施形態と同じネック部を有するパターン(図5参照)に島状化した後、100nmのSiO<sub>2</sub>膜をプラズマCVD法により成膜する。さらに、その上にスパッタ法を用いて、11質量%-Zn/Ni合金(融点約1400℃)を500nmの厚みで成膜する。

【0070】この基板を、300℃に予備加熱した後、常温のAr雰囲気中で、図10に示すように、波長1064nmの連続発振型YAG(Yttrium Aluminum Garnet)レーザービーム30を7.5mm幅で照射し、基板を1.5cm/secの速度で移動させる。図10に示すように、ネック部を有するパターンは、各回路ブロック(周辺回路31およびゲートドライバ32)に分けて形成する。なお、画素部33は、それほど高性能化は要求されないので、この例では、ネック部を設けていない。

【0071】YAGレーザーの発振エネルギーについては、次のようにして大体の値を求める。すなわち、式

(6)をxで積分し、初期温度に相当する分を差し引くと、次式(7)になる。この式(7)により、基板が吸収した熱量を計算することができる。

【0072】

【数2】

$$\frac{Q}{\rho \cdot c} = \int_0^l (\theta(t, x) - T_{in}) dx = klt - k \sum_{m=0}^{\infty} \frac{32l^3}{\alpha(2m+1)^4 \pi^4} \left\{ 1 - \exp \left[ \frac{-\alpha(2m+1)^2}{4l^2} \pi^2 t \right] \right\} \dots (7)$$

式(7)から、具体的に熱量Qを求めると、以下の表1  
 ようになる。

【0073】

【表1】

時間(s)	Q (J/cm <sup>2</sup> )	1秒間の熱量 (J/cm <sup>2</sup> s)
0.03	21.2	706.7
0.10	38.8	388.0
0.15	47.5	316.7
0.20	54.9	274.5
0.35	72.6	207.4
0.45	82.3	182.9
0.55	90.9	165.3
0.65	98.7	151.8

表1には、加熱のために必要な時間当たりの熱量も併せて示されている。基板の中央部の温度が至点に達する0.5秒以下でプロセスを終了するためには、表1から、175(J/cm<sup>2</sup>s=W/cm<sup>2</sup>)以上のエネルギーを与える加熱手段が必要であることが分かる。

【0074】エネルギーの吸収率をλとし、ビーム長：L(cm)、ビーム幅：W(cm)のビームにより加熱を行うとすると、必要な照射エネルギーは、175×LW×λ<sup>-1</sup>(W)に放熱による損失を加味したものとなる。

【0075】ここで、YAGレーザーのNi合金(500nm)/SiO<sub>2</sub>(100nm)/非晶質シリコン(55nm)に対する吸収率をλ=0.3、ビーム長を大型ガラス基板を考慮してL=55cm、ビーム幅をW=0.75cmとすると、175×55×0.75×0.3<sup>-1</sup>=24060(W)≒24.1(kW)に放熱損を加えて、約30kW程度の照射エネルギーが必要になる。

【0076】以上に示した条件は、ガラス基板が耐えることが可能な限界の条件であるので、ビーム幅をより狭く絞ることによって、急激に加熱するようにしてもよい。このようにすれば、レーザービームの照射面積(高温部の面積)が減少するので、基板の耐熱性の面で余裕ができるとともに、核発生面積も減少するので、昇温中におけるランダム核の発生をより有効に防止することができる。

【0077】基板最上面の11質量%-Zn/Ni合金は、YAGレーザー光線を吸収すると共に、約1340℃で融解し始め、約1400℃で完全に融解する(図11参照)。このため、レーザーエネルギーが強すぎた場合には、融解による潜熱の吸収および融解・凝集によるレーザー光線吸収量の低下により、過加熱が防止される。これにより、加熱最高温度は約1340℃～約14

00℃前後に保たれる。

【0078】このようにして結晶化を終了させた後、表面の11質量%-Zn/Ni合金は王水などの酸により溶解剥離することができ、SiO<sub>2</sub>膜はフッ酸により除去することができる。

10 【0079】この第3実施形態の方法によれば、大型ガラス基板の結晶化のスループットも1枚60～90秒と大変高いので、生産性を著しく向上させることができる。また、連続発振型YAGレーザーを用いるので、従来のパルス発振のELA法のようにレーザー光がバラツクことがない。それにより、均一に加熱することができ、その結果、歩留まりが低下することもない。

【0080】(第4実施形態)図12は、本発明の第4実施形態による半導体装置の製造方法で用いる非晶質シリコン膜のネックパターンを示した平面レイアウト図であり、図13は、図12に示した第4実施形態によるネックパターンを用いた回路パターンを示した平面レイアウト図である。この第4実施形態も、上記した第3実施形態と同様、本発明の低温プロセスへの適用例である。以下、図12および図13を参照して、第4実施形態について説明する。

【0081】この第4実施形態では、まず、corning#1737基板(ガラス基板)上に不純物バッファ層を形成する。その後、不純物バッファ層上に、プラズマCVD法によって、非晶質シリコン膜を55nmの厚みで成膜した後、450℃、1時間程度の脱水素処理を行う。その後、非晶質シリコン膜55をパターンニングすることによって、各TFTの活性層に合わせて図12に示したようなネックパターン50を形成する。

【0082】その後、ゲート絶縁膜となるSiO<sub>2</sub>膜を100nmの厚みで成膜する。そして、n-ch部に、B'を35keV、2E12cm<sup>-2</sup>の条件下で、また、p-ch部に、P'を100keV、2.4E12cm<sup>-2</sup>の条件下で、それぞれゲート絶縁膜を介して注入することによって、チャネルドープを行う。ゲート絶縁膜上に、ゲート電極となる、N型の不純物がドープされた非晶質シリコン膜または多結晶シリコン膜を成膜する。その上に、11質量%-Zn/Ni合金を500nmの膜厚で成膜した後、第3実施形態と同様の連続発振型YAGレーザーを用いた方法で、結晶化する。

【0083】結晶化の後、11質量%-Zn/Ni合金と、非晶質シリコン膜または多結晶シリコン膜とからなる積層膜をゲート電極としてパターンニングした後、ソース/ドレイン注入およびn-chLDD注入を行う。このLDD注入は、P'を80keV、3E15cm<sup>-2</sup>の条件下で注入することにより行う。その後、RTA法な

どにより活性化処理を施す。

【0084】そして、コンタクトホールおよびメタル電極を形成した後、水素化処理を行うことにより、図13に示すようなTFTアレイを作製する。図13を参照して、p-ch部61およびn-ch部62には、それぞれ、ゲート電極61aおよび62aが形成されている。また、所定個所にメタル配線63が形成されている。

【0085】この第4実施形態では、上記した第3実施形態と異なり、11質量%-Zn/Ni合金をゲート電極として用いるので、11質量%-Zn/Ni合金を除く10の必要がない。これにより、第3実施形態に比べてプロセスを簡略化することができる。さらに、ゲート絶縁膜を形成した状態での加熱および結晶化であるため、ゲート絶縁膜の緻密化および高品位化ならびにゲート絶縁膜/活性層界面の整合性の改善などの効果も期待することができる。

【0086】(第5実施形態)図14~図17は、本発明の第5実施形態による半導体装置の製造方法を説明するための断面図および平面図である。以下、図14~図17を参照して、第5実施形態について説明する。

【0087】この第5実施形態では、まず、図14に示すように、ガラス基板110上に絶縁層からなる不純物バフ層111を形成した後、その不純物バフ層111上に、図15に示すようなパターンを有する吸収層101および102を形成する。この吸収層101および102は、Cr、Moなどの金属からなる。このうち、液晶表示装置の画素部に対応する吸収層102は、図15に示すように、画素部の遮光部となるブラックマトリックス(BM)のパターンを有するように形成される。その一方、駆動回路や周辺回路などの集積回路部における吸収層101は、後に形成される非晶質シリコン膜の単結晶化を行うために、ネックを設けたパターンを有するように形成されている。

【0088】なお、画素部のTFTは、それほど高い性能を必要としないため、画素部の吸収層102は、単結晶化のためのネックパターンでなく、BMのパターンとなっている。

【0089】ネックパターンを有する吸収層101は、単結晶化に悪影響を及ぼさない形態で電氣的につながっており、基板バイアスが可能な形状となっている。なお、ネックパターンを有する各吸収層101の電氣的な接続は、別の層を用いて行ってもよい。

【0090】また、この第5実施形態のネックパターンを有する吸収層101は、図16に示すように、屈曲部101aの角をなくした形状を有している。すなわち、吸収層101の屈曲部101aは、なめらかに接続されている。これにより、この屈曲部101aでの新たな結晶核の発生を抑制することができる。

【0091】図15および図16に示すような吸収層101および102を形成した後、図14に示すように、

その吸収層101および102を覆うように、SiO<sub>2</sub>やSiN<sub>x</sub>などからなる絶縁膜112を形成する。この絶縁膜112上に活性層となる非晶質シリコン膜113を形成する。この場合、非晶質シリコン膜113は、所定のパターンを有する吸収層101および102の上方に、パターンニングされることなく形成される。

【0092】この状態から、YAGレーザーなどの連続発振電磁波ビームを用いて、図10に示した第3実施形態の製造プロセスと同様、吸収層101のネックパターンの結晶成長上流側から結晶成長が行われるように、基板110または電磁波ビームを走査することによって結晶化する。この場合の非晶質シリコン膜113の結晶化は、下層に吸収層101および102が存在する部分のみ行われる。これにより、非晶質シリコン膜113に吸収層101と同様のネックパターンを設けなくても、非晶質シリコン膜113の単結晶化を行うことができる。この後、パターンニングすることによって、図17に示すような単結晶シリコン膜113aを形成することができる。

【0093】上記した単結晶シリコン膜113aの形成後、ゲート絶縁膜114およびゲート電極115を形成する。ゲート電極115をマスクとして、ソース/ドレイン注入およびLDD注入を行う。この注入した不純物の活性化は、結晶化と同じように連続発振電磁波ビームを用いてもよいし、ELA法、RTA法または比較的低温のアニール法によって行うこともできる。

【0094】この後、図示しない層間絶縁膜やメタル配線および表示電極などを形成することによって、液晶表示装置のTFT基板を形成することができる。

【0095】ここで、この第5実施形態では、図17に示すように、吸収層101と電源ライン(C-MOS構成のn-chTFTのドレイン側)との間にバイアス電圧を印加する。これにより、吸収層101が基板バイアスプレートとして働くため、TFTのしきい値電圧V<sub>th</sub>の調整を行うことができる。

【0096】また、第5実施形態では、非晶質シリコン膜113の結晶化後に、吸収層102を液晶表示装置の画素部のブラックマトリックス(BM)として流用するとともに、吸収層101を基板バイアスプレートとして流用する。これにより、吸収層101および102を除去する工程およびブラックマトリックスおよび基板バイアスプレートを新たに形成する工程を省略することができる。その結果、製造プロセスを簡略化することができる。

【0097】また、第5実施形態では、上記のように、吸収層101をネックパターンに島状化することによって、非晶質シリコン膜113は、吸収層101に対応する部分のみ加熱されて結晶化されるので、非晶質シリコン膜113をネックパターン形状にパターンニングする必要がない。それにより、非晶質シリコン膜113をネ

ックパターンにパターンニングする工程を省略することができ、その結果、製造プロセスを簡略化することができる。

【 0 0 9 8 】 また、第 5 実施形態では、非晶質シリコン膜 1 1 3 をネックパターンに加工せずに、吸収層 1 0 1 のみをネックパターンに形成することによって、吸収層 1 0 1 のネックパターンに対応する非晶質シリコン膜 1 1 3 の部分が結晶化される場合に、その結晶化された領域の端部では温度が低下する。このため、ネックパターンを有する吸収層 1 0 1 に対応する非晶質シリコン膜 1 1 3 の部分の端部では、結晶化領域を囲むように結晶化されない領域が存在することになるので、その結晶化領域と結晶化されない領域との境界部（結晶化領域の端部）において、新たな結晶核の発生を抑制することができる。

【0099】なお、上記第5実施形態において、吸収層101と同様のパターンに非晶質シリコン膜113を島状化する場合も考えられる。この場合には、非晶質シリコン膜113のパターンの形状、特にネック部の形状を、吸収層101よりも大きくするかほぼ同一にする。20  
これにより、非晶質シリコン膜113のパターン端部の温度が低温化するので、非晶質シリコン膜113のパターン端部では、結晶化されない領域が存在することになる。その結果、非晶質シリコン膜113のパターン端部での新たな結晶核の発生を抑制することができる。

【0100】ここで、非晶質シリコン膜113のパターン端部の温度をパターン中心部の温度より低くするためには、非晶質シリコン膜113のパターンが、吸収層101のパターンより大きい、または、吸収層101のパターンのうち熱伝導により熱が基板横方向へ逃げる影響が出る範囲を除いた部分の大きさより大きければよいことになる。吸収層101のパターンのうち熱の逃げる影響のある範囲は、加熱条件により変化するが、ガラスへの影響から結晶化条件が決定しているのであれば、たとえばガラスの厚みの $1/2$ すなわち0.5mm程度以下の範囲になると考えてよい。このように考えると、ネックパターンのネック部の幅の条件は、(非晶質シリコン膜のネック幅) - (吸収層のネック幅)  $\geq$  -0.5mmとなる。

【0101】したがって、非晶質シリコン膜113および吸収層101をネックパターンにパターンニングする際に、上記のような条件を満たせば、非晶質シリコン膜113のパターン端部の温度を低温化することができる。これにより、その部分での新たな核発生を抑制することができる。

【0102】（第6実施形態）図18～図21は、本発明の第6実施形態による半導体装置の製造方法を説明するための断面図および平面図である。図18～図21を参照して、以下に第6実施形態の製造プロセスについて説明する。

【０１０３】この第６実施形態では、まず、図１８に示すように、ガラス基板１４０上に、不純物バッファ層１４１を形成する。そして、不純物バッファ層１４１上に、図１９に示されるようなパターン形状を有する吸収層１２１および１２２を形成する。吸収層１２１は、液晶表示装置の駆動回路や周辺回路などの集積回路部に、全面に形成されている。吸収層１２２は、液晶表示装置の画素部のブラックマトリックス（遮光膜）として後に流用できるようにパターンニングされている。

【0104】このような吸収層121および122上に、図18に示すように、層間絶縁膜142を形成する。層間絶縁膜142上に、非晶質シリコン膜130を形成した後、この非晶質シリコン膜130の吸収層121に対応する部分を、図20に示されるようなネックパターンを有する形状にパターニングする。この場合、ネックパターンを有する非晶質シリコン膜130は、素子ごと、または、1ゲートブロックごとなどに島状化する。これにより、後の工程でこの活性層を再度エッチングする必要がないようにする。

【0105】この後、非晶質シリコン膜130上に、ゲート絶縁膜143を介して、ゲート電極131を形成する。このゲート電極131は、図21に示すようなパターンを有するように形成する。

【0106】上記のようなゲート電極131を形成した後、ソース・ドレイン注入およびLDD注入を行う。なお、必要に応じて、ゲート電極131の形成前に、チャネルドープを行ってもよい。

【0107】次に、図18に示すように、ガラス基板140の上面または裏面より、YAGレーザーなどの連続発振電磁波ビームを照射することによって結晶化を行う。これにより、単結晶シリコン膜130aを形成することができる。また、このとき、結晶化と同時に、ソース・ドレインの不純物などの活性化を行うことができる。これにより製造プロセスを簡略化することができる。

【0108】また、第6実施形態では、非晶質シリコン膜130上にゲート絶縁膜143を形成した後に、非晶質シリコン膜130の結晶化を行うことによって、ゲート絶縁膜143と非晶質シリコン膜130との界面の整合性を改善することができる。また、結晶化時の熱によって、ゲート絶縁膜143の緻密化を図ることもできる。

【0109】（第7実施形態）図22～図24は、本発明の第7実施形態による半導体装置の製造方法を説明するための断面図および平面図である。図22～図24を参照して、以下に第7実施形態の製造方法について説明する。

【0110】この第7実施形態では、図22に示すように、基板150上に、第1不純物バッファ層151を形成する。第1不純物バッファ層151上に、Crからな

る吸収層 152 を形成する。この吸収層 152 は、図 15 に示した第 5 実施形態の吸収層 101 および 102 と同様のパターンを有するように形成する。

【0111】ここで、この第 7 実施形態では、吸収層 152 の端部 152a を、最端部に向かって徐々に先細りするテーパ形状に形成している。このようなテーパ形状の端部 152a を形成するには、フォトリソグラフィ工程終了後にポストベークなしで、硝酸および硝酸第 2 セリウムアンモニウム混合溶液により吸収層 152 をエッチングする。これにより、数度〜20 度程度のテーパ形状を有する端部 152a を形成することができる。

【0112】なお、吸収層 152 の平面構造は、全体像としてはたとえば、図 15 に示した第 5 実施形態の吸収層パターンと同様であり、個々のネックパターンは図 23 に示すようなパターンとなる。図 23 に示す吸収層 152 のネックパターンの屈曲部は、図 16 に示した第 5 実施形態の吸収層 101 のパターンと同様、なめらかに形成されている。

【0113】吸収層 152 の島状化の後、吸収層 152 上に  $\text{SiO}_2$  や  $\text{SiN}_x$  などの絶縁膜からなる第 2 バッファ層 153 を形成する。この第 2 バッファ層 153 上に、活性層となる非晶質シリコン膜 154 を形成する。なお、この非晶質シリコン膜 154 は、吸収層 152 と異なり、ネックパターン形状にパターンニングしない。

【0114】この状態から、図 24 に示すように、YAG レーザーなどの連続発振電磁波ビームを用いて、図 10 に示した第 3 実施形態の場合と同様、ネックパターンの結晶成長上流側から結晶成長が行われるように、基板 150 または電磁波ビームを走査することによって結晶化する。非晶質シリコン膜 154 の結晶化は、下層に吸収層 152 が存在する部分だけ行われる。したがって、非晶質シリコン膜 154 をネックパターン形状に形成しなくても、ネックパターンを有する吸収層 152 によって、非晶質シリコン膜 154 を単結晶化することができる。これにより、単結晶シリコン膜 154a を形成することができる。

【0115】また、この第 7 実施形態では、吸収層 152 をテーパ形状に形成することによって、吸収層 152 の端部 152a での段差が軽減される。これにより、吸収層 152 の上方に位置する非晶質シリコン膜 154 の段差も軽減される。これにより、加熱時に非晶質シリコン膜 154 に生じる応力が緩和され、その結果、応力に起因する結晶核の発生を抑制することができる。また、吸収層 152 の端部 152a をテーパ形状に形成することによって、吸収層 152 の端部 152a の厚みが小さくなるので、吸収層 152 の端部 152a での光吸収量が低下する。これにより、吸収層 152 の端部 152a の温度が低下するので、吸収層 152 の端部 152a に対応する非晶質シリコン膜 154 の部分での核発生確率を減少させることができる。

【0116】さらに、吸収層 152 の端部 152a をテーパ形状に形成することによって、吸収層 152 の端部 152a での光吸収量が低下して温度が低下するとともに、吸収層 152 の端部 152a の断面積が減少する。これにより、吸収層 152 の端部 152a が非晶質シリコン膜 154 に与える熱応力を低減することができる。その結果、吸収層 152 の端部 152a に対応する非晶質シリコン膜 154 の部分での応力に起因する核発生を抑制することができる。

【0117】なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0118】(1) たとえば、上記実施形態では、非晶質シリコン膜を  $\text{Si}_2\text{H}_6$  を用いた減圧 CVD 法やプラズマ CVD 法により形成したが、本発明はこれに限らず、 $\text{SiH}_4$  を用いた減圧 CVD 法、イオンプレーティング法などにより形成してもよい。

【0119】(2) また、非晶質シリコン膜を形成する場合、微結晶の存在する非晶質シリコン膜や多結晶シリコン膜にイオン注入法などの方法で  $\text{Si}$  などを打ち込むようにしてもよい。これにより、微結晶が全くない非晶質シリコン膜を作製することが可能である。その結果、非晶質シリコン膜を形成する際、結晶成長時に核または核のもと（エンブリオ）となる微結晶をなくすることができる。

【0120】(3) また、上記第 2〜第 4 実施形態では、単結晶領域を形成するために図 5 に示すようなネック部 20 を有するパターンを設けたが、本発明はこれに限らず、パターン構成に不具合を生じる場合には、図 25 および図 26 に示すように、パターンを簡略化することもできる。図 25 に示したパターンでは、核発生領域を、図 5 に示したパターンの様に広げずに、同一幅に形成している。また、図 15 に示したパターンは、ネック部を有さず、結晶成長領域の先端部（核発生位置）を細く絞り込んだ形状である。これらの場合にも、図 5 に示したネック部と同様の効果を得ることができる。

【0121】(4) また、上記第 2 および第 3 実施形態では、パターンニングされた結晶成長領域にネック部を 1 箇所設けたが、本発明はこれに限らず、たとえば、図 27 に示すように、結晶成長領域 70 に複数のネック部 70a および 70b を設けるようにしてもよい。このようにすれば、結晶成長を続けていくうちに、結晶成長領域に新たな核が発生して単結晶化を妨げるという不都合を有効に防止することができる。

【0122】(5) また、上記第 3 および第 4 実施形態に示した低温プロセスでは、非晶質膜の加熱を連続発振型 YAG レーザーによって行うようにしたが、本発明は

これに限らず、たとえば、Ar レーザー、ルビーレーザー、炭酸ガスレーザーなどの他の連続発振型レーザーを用いてもよい。また、連続発振型レーザーに代えて、連続加熱が可能な高周波、マイクロ波、ランプ光を用いてもよい。これらの連続発振型レーザー、高周波、マイクロ波、ランプ光などを総称して、本発明では、「電磁波」という。

【0123】なお、ランプ光を用いる低温プロセスの適用例としては、たとえば、図28に示すような装置が考えられる。図28を参照して、この装置では、電気炉200の上部にXeアークランプ80が設置されているとともに、Xeアークランプ80からの光を反射・集光するための楕円形ミラー81が設けられている。このような装置において、基板11を温度勾配領域（結晶成長領域）83を通過するように引き抜くことにより、結晶成長領域以外の領域を低温に保持しながら、温度勾配領域（結晶成長領域）83において結晶を成長させることができる。その結果、第3および第4実施形態と同様、低温プロセスで大きな結晶を形成することができる。

【0124】また、高周波やマイクロ波を用いて加熱する場合には、電波吸収膜として抵抗膜が必要となる。この場合、11質量%-Zn/Ni合金などのNi合金、N型の不純物がドーパされた多結晶シリコン膜またはN型の不純物がドーパされた非晶質シリコン膜などを電波吸収膜として用いることが可能である。なお、上記のNi合金などを吸収膜として用いれば、第3および第4実施形態と同様の過加熱防止効果を得ることができる。

【0125】（6）また、第2実施形態における結晶化の加熱方法としては、第1実施形態と同様の電気炉による加熱方法のほか、電磁波加熱や連続発振型レーザー加熱などの方法も用いることができる。

【0126】（7）また、第1および第2実施形態では、結晶成長速度を上げるための金属膜としてNi膜を用いたが、本発明はこれに限らず、たとえば、Pt、パラジウムなどの他の金属膜を用いても同様の効果を得ることができる。

【0127】（8）また、上記第2～第4実施形態では、単結晶領域を形成するために図5に示すようなネック部20を有するパターンを設けるとともに、そのネックパターンを電気炉または連続発振型YAGレーザーを用いて連続加熱するようにしたが、本発明はこれに限らず、ネック部20を有するパターンを設ければ、従来のパルス発振のELA法を用いても単結晶化は可能である。具体的には、ネック部20を有するパターンに、1ステップを結晶成長幅以下におさえて、ELA法を用いて照射することにより、同様の単結晶化を行うことができる。ただし、この場合、結晶成長幅を1ショット当たり0.005μmとすると、照射周波数が500Hzでも、2.5μm/s（0.15mm/min）と非常にスループットが低下する。

【0128】（9）また、上記第7実施形態では、吸収層152の端部152aをテーパ形状に形成するようにしたが、本発明はこれに限らず、吸収層152の端部152aの厚みが薄くなる形状であれば、テーパ形状以外でも同様の効果を得ることができる。

#### 【0129】

【発明の効果】以上のように、本発明によれば、巨大な結晶粒または単結晶を歩留まりを低下させることなく形成することができる。また、低コストおよび高スループットで巨大な結晶粒または単結晶を形成することができる。

#### 【図面の簡単な説明】

【図1】結晶核発生数および結晶成長速度と過冷度との一般的な関係を示した相関図である。

【図2】本発明の概念を説明するための概略図である。

【図3】本発明の第1実施形態による半導体装置の製造方法を説明するための概略図である。

【図4】本発明の第1実施形態の製造方法により作製される結晶の状態を示した模式図である。

【図5】本発明の第2実施形態による半導体装置の製造方法で用いる非晶質シリコン膜のネックパターンを示した概略図である。

【図6】本発明の第2実施形態によるネック部の開き角の範囲を説明するための概略図である。

【図7】本発明の第2実施形態によるネック部に結晶を作製した場合の模式図である。

【図8】本発明の第2実施形態によるネック部に複数の結晶が通過した場合の模式図である。

【図9】t秒間のプロセスによりガラス基板の表面温度を初期温度300℃から1400℃に上昇させた時のガラス基板の深さ方向の温度分布を各プロセス時間tについて示した相関図である。

【図10】本発明の第3実施形態による半導体装置の製造方法を説明するための概略図である。

【図11】本発明の第3実施形態で用いるNi-Zn系合金の状態図である。

【図12】本発明の第4実施形態による半導体装置の製造方法で用いる非晶質シリコン膜のネックパターンを示した平面レイアウト図である。

【図13】図12に示した第4実施形態による非晶質シリコン膜のネックパターンを用いた回路パターンを示した平面レイアウト図である。

【図14】本発明の第5実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図15】本発明の第5実施形態による半導体装置の製造方法で用いる吸収層のネックパターンを示した平面レイアウト図である。

【図16】図15に示した吸収層のネックパターンの拡大平面図である。

【図17】本発明の第5実施形態による半導体装置の製

造プロセスを説明するための断面図である。

【図 18】本発明の第 6 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 19】本発明の第 6 実施形態による吸収層パターンを示した平面レイアウト図である。

【図 20】本発明の第 6 実施形態による非晶質シリコン膜のネックパターンを示した平面レイアウト図である。

【図 21】図 20 に示した非晶質シリコン膜のネックパターンにゲート電極を形成した場合の平面レイアウト図である。

【図 22】本発明の第 7 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 23】本発明の第 7 実施形態による吸収層の平面拡大図である。

【図 24】本発明の第 7 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 25】本発明の非晶質シリコン膜のネックパターンの変形例を示した平面レイアウト図である。

【図 26】本発明の非晶質シリコン膜のネックパターンの変形例を示した平面レイアウト図である。

【図 27】本発明の非晶質シリコン膜のネックパターン\*

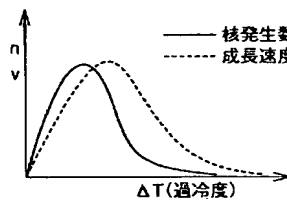
\* の変形例を示した平面レイアウト図である。

【図 28】本発明の低温プロセスの変形例を説明するための概略図である。

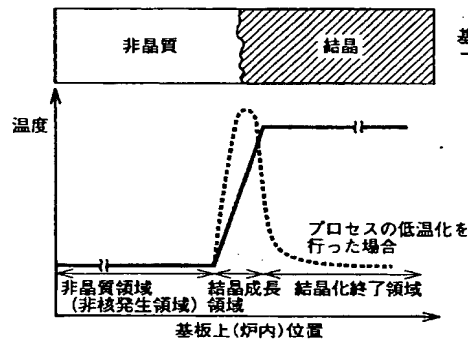
【符号の説明】

- 1 基板
- 2 温度勾配領域
- 20 ネック部
- 30 連続発振型 YAG レーザービーム
- 100 電気炉
- 101、102 吸収層
- 101a 屈曲部
- 113 非晶質シリコン膜
- 113a 単結晶シリコン膜
- 121、122 吸収層
- 130 非晶質シリコン膜
- 130a 単結晶シリコン膜
- 131 ゲート電極
- 150 吸収層
- 150a 吸収層の端部
- 20 154 非晶質シリコン膜
- 154a 単結晶シリコン膜

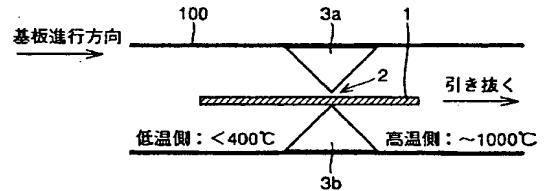
【図 1】



【図 2】

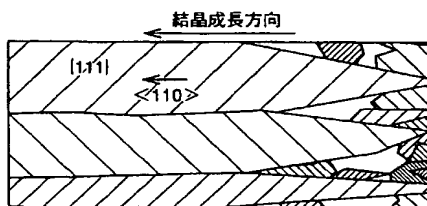


【図 3】

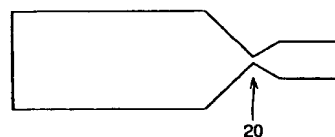


【図 19】

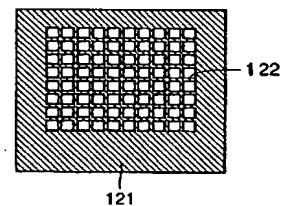
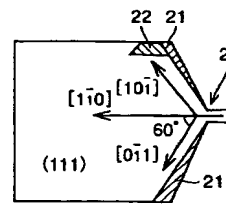
【図 4】



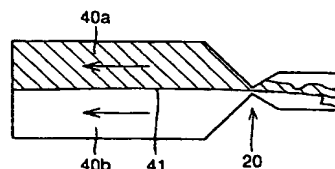
【図 5】



【図 6】

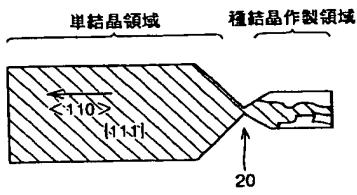


【図 8】

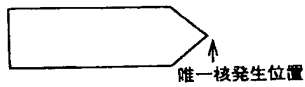




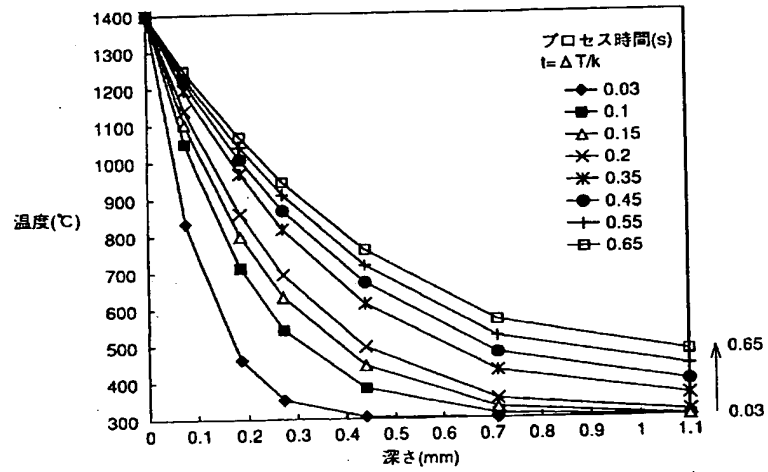
【図7】



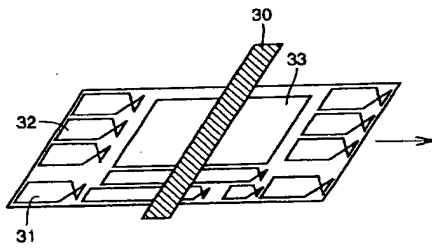
【図26】



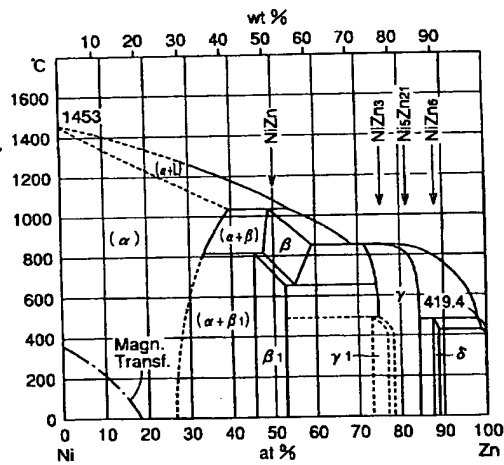
【図9】



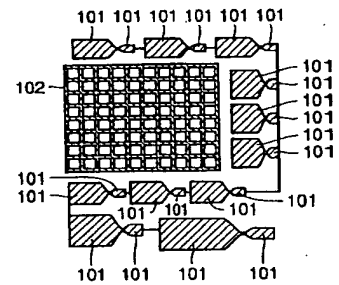
【図10】



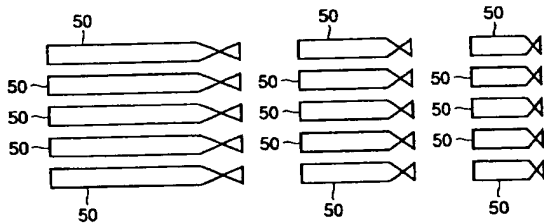
【図11】



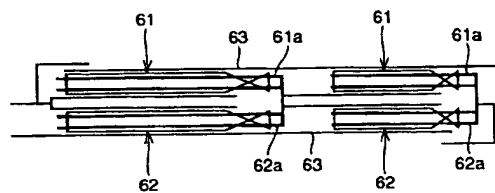
【図15】



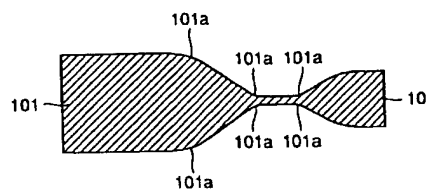
【図12】



【図13】



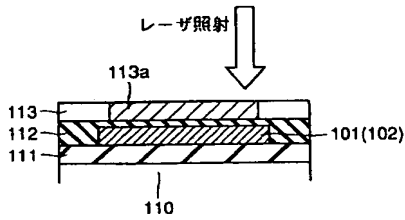
【図16】



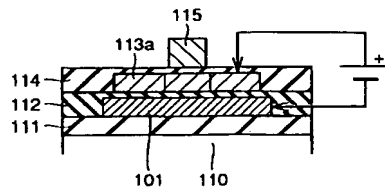
【図25】



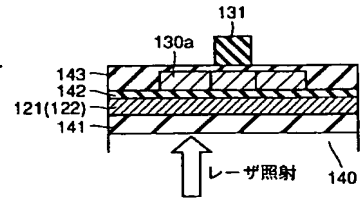
【図14】



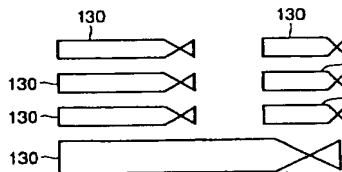
【図17】



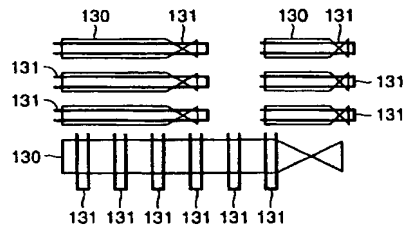
【図18】



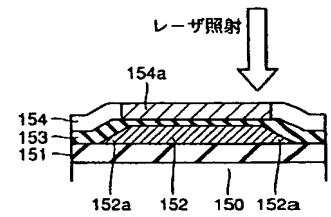
【図20】



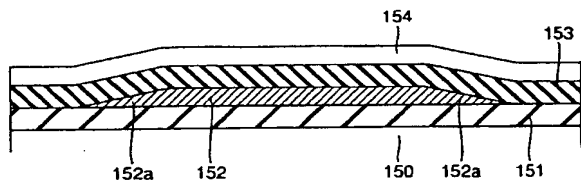
【図21】



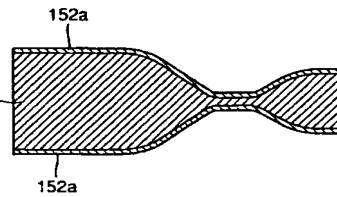
【図24】



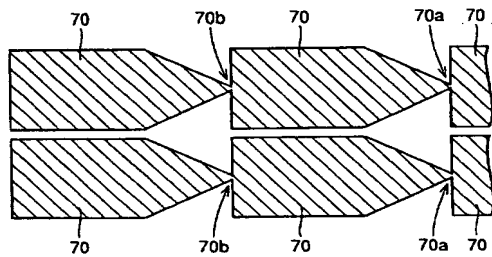
【図22】



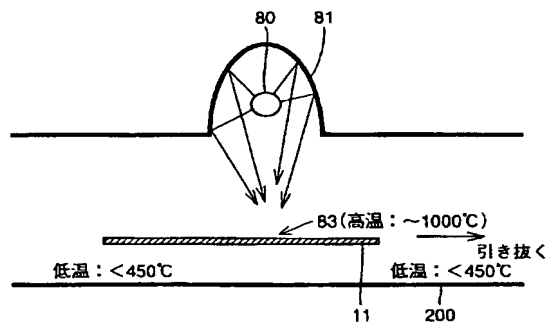
【図23】



【図27】



【図28】



## フロントページの続き

Fターム(参考) 5C094 AA42 AA43 BA03 BA43 CA19  
EA04 EA07 EB05  
5F052 AA02 AA17 AA22 AA24 BB01  
BB02 BB05 BB06 CA04 CA07  
CA10 DA02 DB02 DB03 EA02  
EA04 EA11 EA15 FA03 FA06  
HA06 JA01  
5F110 AA30 BB02 CC02 DD02 DD03  
DD13 DD14 EE06 EE09 EE14  
FF02 GG02 GG13 GG17 GG25  
GG32 GG45 GG47 GG52 HJ01  
HJ04 HJ13 HJ23 HM15 NN02  
PP01 PP02 PP03 PP04 PP05  
PP10 PP11 PP13 PP24 PP33  
PP34 PP35 QQ21